

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-276918

(43)Date of publication of application : 02.10.1992

(51)Int.Cl.

H03K 19/0175

H05K 13/00

(21)Application number : 03-062591

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.03.1991

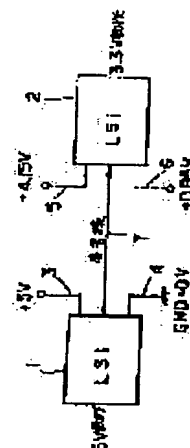
(72)Inventor : UCHIDA SATORU

## (54) LOGIC THRESHOLD MATCHING METHOD FOR LSI AND ELECTRONIC CIRCUIT DEVICE

## (57)Abstract:

PURPOSE: To eliminate the need for a level shifter for logic threshold voltage matching by adjusting a voltage between a reference level in common to plural LSIs and a level at an LSI power supply terminal.

CONSTITUTION: A 5V voltage is applied between terminals 3 and 4 of an LSI 1 with respect to a ground level GND (=0V) and the terminal 4 is set to the ground level. A rated voltage 3.3V is applied between power supply terminals 5 and 6 of an LSI 2. A voltage of 0.85V is applied to the terminal 6 of the LSI 2 with respect to the ground level and a voltage of 4.15V is applied to the terminal 5. In this case, the voltage applies between the terminals of the LSI 2 is set to 3.3V being the rated voltage. When a logic threshold voltage  $V_{th}$  is selected to be a half the voltage between the power supply terminals ( $=3.3/2+0.85$ )V, the logic threshold voltage  $V_{th}$  of the LSI 2 is set to 2.5V with respect to the ground level and it is coincident with the logic threshold voltage  $V_{th}$  2.5V( $=5/2$ ) of the LSI 1. Thus, the level shifter for matching the logic threshold voltage is not required.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-276918

(43) 公開日 平成4年(1992)10月2日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
H 0 5 K 13/00		8509-4E		
		8941-5 J	H 0 3 K 19/00	1 0 1 Z

審査請求 未請求 請求項の数 5 (全 7 頁)

(21) 出願番号 特願平3-62591

(22) 出願日 平成3年(1991)3月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 内田 覚

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

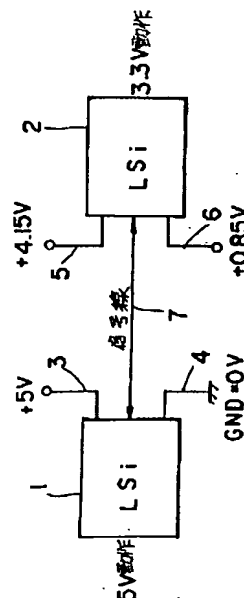
(74) 代理人 弁理士 玉村 静世

(54) 【発明の名称】 L S I の論理スレッショルド整合方法及び電子回路装置

(57) 【要約】

【目的】 本発明の目的は、複数のL S I 間の論理スレッショルド電圧整合においてレベルシフタの介在を不要とすることにある。

【構成】 L S I 3 2 の電源端子 3 9 , 4 0 間の電圧が定格レベルにほぼ等しくなる条件下で、複数のL S I 共通の基準レベルとされるグラウンド=0 V と、L S I 電源端子 3 9 , 4 0 との電位差を調整することにより、当該複数のL S I 間の論理スレッショルド電圧  $V_{th}$  を整合させ、それにより、論理スレッショルド電圧整合のためのレベルシフタの介在を不要とする。



1

## 【特許請求の範囲】

【請求項1】 複数のLSIそれぞれの電源端子間電圧が定格値にほぼ等しくなる条件下で、当該複数のLSI共通の基準レベルとLSI電源端子との電位差を調整することにより、当該複数のLSIの論理スレッシュホールド電圧を整合させることを特徴とするLSIの論理スレッシュホールド整合方法。

【請求項2】 電源端子間電圧の定格値の異なる複数のLSIを含み、この複数のLSIそれぞれの電源端子間電圧が定格値にほぼ等しくなる条件下で当該複数のLSIの論理スレッシュホールド電圧が整合するように、当該複数のLSI共通の基準レベルとLSI電源端子との電位差が設定されて成る電子回路装置。

【請求項3】 電源端子間電圧の定格値が等しい複数のLSI毎にそれを搭載して成る複数のLSI実装基板を含み、この複数のLSIそれぞれの電源端子間電圧が定格値にほぼ等しくなる条件下で、このLSI実装済基板間におけるLSIの論理スレッシュホールド電圧が整合するように、当該複数のLSI共通の基準レベルとLSI電源端子との電位差が設定されて成る電子回路装置。

【請求項4】 単一の直流電圧から互いに異なる直流電圧を生成する電圧変換回路を含み、この電圧変換回路の出力を選択的に上記LSIに供給するように構成された請求項2又は3記載の電子回路装置。

【請求項5】 上記LSI実装基板上に上記電圧変換回路が搭載されて成る請求項4記載の電子回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電源端子間電圧の定格値の異なる複数のLSI間の論理スレッシュホールド電圧の整合方法、及びそのような方法により論理スレッシュホールド電圧が整合された電子回路装置関し、例えば、電源端子間電圧の定格値が3.3VとされるロジックLSIと、定格値5VとされるロジックLSIとが混在するシステムに適用して有効な技術に関する。

【0002】

【従来の技術】 パーソナルコンピュータやその他のデータ処理システムにおいては、それに含まれるLSIの電源端子間電圧（動作電源電圧）の定格値が標準の5Vに統一されており、従ってそのようなシステムに含まれるLSI間の論理スレッシュホールド電圧は整合されている。しかしながら、今後LSIのプロセスの微細化に伴う電源端子間電圧の低下により、例えば定格値3.3VのLSIが多くなると、そのようなLSIと電源端子電圧の定格値が5VのLSIとが、一つのLSI実装基板において混在する場合や、定格値3.3VのLSIのみを搭載したLSI実装基板と定格値5VのLSIのみを搭載したLSI実装基板とが信号伝達ラインによって結合しなければならない場合が考えられる。例えば0.5ミクロンプロセス時代では、メモリLSIの定格値は3.3

2

特開平4-276918

Vとされ、ロジックLSIの定格値は5Vとされ、それらを結合しなければならないことが十分に考えられる。そしてそのような場合に、LSI間の論理スレッシュホールド電圧の整合が問題とされる。すなわち、電源端子間電圧の定格値が3.3VのLSIと、電源端子電圧定格値が5VのLSIとで、論理スレッシュホールド電圧が異なるために、それらを直接結合して信号のやり取りを行うことが困難になる。従来の技術によれば、そのように論理スレッシュホールド電圧が異なる場合に、LSI間にレベルシフタを介在させ、それでレベル変換を行うことにより、後段LSIへの信号伝達を可能とする。

【0003】 尚、そのようなレベルシフタについて記載された文献の例としては、昭和62年6月1日に技術評論社より発行された「TTL-ICえらび方・使い方（岡田弘 著）」がある。

【0004】

【発明が解決しようとする課題】 しかしながら、上記のように論理スレッシュホールド電圧が異なるLSI間にレベルシフタを介在してそれら間の信号伝達を可能とすることは、以下のような問題点のあることが、本発明者によって見いだされた。

【0005】 一つのレベルシフタでレベルシフトを行えるのは一つの信号のみであるから、各信号毎にそのようなレベルシフタを設けなければならず、そうすると、LSI実装基板などにおいてレベルシフタを形成するのに多くの領域を必要とする。また、レベルシフタでは、信号伝達が一方方向に限定されてしまうため、LSI間で双方向に信号のやり取りを行う場合には使用できない。さらに、レベルシフタが介在されることにより、信号遅延を生ずる。

【0006】 本発明の目的は、LSI間にレベルシフタなどの電子回路を介在させることなく、電源端子電圧の定格値が異なる複数のLSI間の論理スレッシュホールド電圧を整合させ得る技術を提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 すなわち、複数のLSIそれぞれの電源端子間電圧が定格値にほぼ等しくなる条件下で、当該複数のLSI共通の基準レベルとLSI電源端子との電位差を調整することにより、当該複数のLSI間の論理スレッシュホールド電圧を整合させる。また、そのようにして電子回路装置を形成するものである。このとき、電源端子間電圧の定格値が等しい複数のLSI毎にそれを搭載して成る複数のLSI実装基板を有する場合には、当該複数のLSIそれぞれの電源端子間電圧が定格レベルにほ

3

ば等しくなる条件下で、当該LSI実装済基板間におけるLSIの論理スレッシュホールド電圧が整合するように、当該複数のLSI共通の基準レベルとLSI電源端子との電位差を設定すると良い。さらに、そのような電位差設定を容易に実現可能とするには、出力電圧の異なる複数系統の直流電圧を生成する電圧変換回路を設けると良い。

【0010】

【作用】上記した手段によれば、複数のLSI共通の基準レベルとLSI電源端子との電位差を調整することにより、当該複数のLSI間の論理スレッシュホールド電圧を整合させることは、論理スレッシュホールド電圧整合のためのレベルシフトなどの、当該複数のLSI間への介在を不要とするように作用する。

【0011】

【実施例】図1には本発明の一実施例方法が適用される電子回路装置が示される。

【0012】図1においてLSI1は、動作電圧すなわち電源端子3、4間の定格値が5Vとされ、LSI2は、電源端子5、6間の定格値が3.3Vとされ、それら一つのLSI実装済基板に搭載される。また、LSI1、2の信号入出力端子は信号線7によって結合され、それらLSI1、2間で相互に信号のやりとりが可能とされる。つまり、LSI1からLSI2へ信号が伝達される場合もあるし、それとは逆にLSI2からLSI1へ信号が伝達される場合もある。

【0013】上記LSI1の電源端子3、4には、複数のLSIさらには本実施例装置において共通の基準レベルとされるグラウンドレベルGND=0Vを基準とする5V電圧が印可される。その場合、低電位側電源端子4はグラウンドレベルとされる。

【0014】他方、LSI2の電源端子5、6には、当該LSI2の電源端子間電圧の定格値とされる3.3V電圧が印可される。ここで、電源端子6をグラウンドレベルとした場合には、互いに電源端子間電圧の異なる二つのLSI1、2間で論理スレッシュホールド電圧V<sub>th</sub>の不整合を生じ、そのために、信号線7を介しての信号伝達に支障を来す。そこで本実施例では、LSI2の低電位側電源端子6に、グラウンドレベルを基準とする0.85Vが印可され、そして高電位側電源端子5には4.15Vが印可される。この場合、LSI2の電源端子間電圧は、その定格値である3.3Vとされる。つまり、このような電圧供給においても当該LSI2の電源端子間電圧はその定格値とされる。そしてLSIの論理スレッシュホールド電圧V<sub>th</sub>を電源端子間電圧の1/2(=3.3/2+0.85)Vとすると、LSI2の論理スレッシュホールド電圧V<sub>th</sub>は、グラウンドレベルを基準として2.5Vとされ、LSI1の論理スレッシュホールド電圧2.5(=5/2)Vと一致する。

【0015】図2にはLSI2から信号線7への出力信

(3)

特開平4-276918

4

号波形が示される。

【0016】図2に示されるように、LSI2の出力信号波形は、LSIの論理スレッシュホールド電圧V<sub>th</sub>=2.5Vを中心として4.15Vから0.85Vの振幅となり、それは、LSI2の低電位側電源端子6をグラウンドレベルとして当該LSI2の高電位側出力端子に3.3Vを印加した場合の信号振幅に比べ、正側に0.85Vだけシフトされたものとされる。そのようなレベルシフトにより、LSI1とLSI2との論理スレッシュホールド電圧V<sub>th</sub>が整合されるので、両LSI間の信号伝達が良好に行われる。

【0017】図3には、図1に示される場合と異なり、LSI1、2で共通の基準レベルとされるグラウンドGND=0とLSI1の電源端子3、4との電位差を調整することによって両LSIの論理スレッシュホールド電圧V<sub>th</sub>を整合させる場合の実施例が示される。

【0018】図3において、LSI2の電源端子5、6には、複数のLSIさらには本実施例装置において共通の基準レベルとされるグラウンドレベルGND=0Vを基準とする3.3V電圧が印可される。その場合、低電位側電源端子6はグラウンドレベルとされる。

【0019】他方、LSI1の低電位側電源端子4には、グラウンドレベルGND=0Vを基準とする-1.85Vが印加され、当該LSI1の高電位側電源端子3には、グラウンドレベルGND=0Vを基準とする4.15Vが印加される。そのような電圧印加により、当該LSI1の電源端子3、4間の電位差は、5Vとなるから、当該LSI1の定格値に等しくなる。そしてそのような電圧印加により、LSI1の論理スレッシュホールド電圧V<sub>th</sub>は、図1に示される場合に比べて0.85Vだけ負側にシフトされて1.65Vとなり、その結果、LSI2の論理スレッシュホールド電圧V<sub>th</sub>=1.65(=3.3/2)Vに等しくなる。従って、図1に示される場合と同様に両LSI間の論理スレッシュホールド電圧V<sub>th</sub>が整合されることにより、良好な信号伝達が可能とされる。

【0020】図4には、図1、図2とは異なる電圧印加例が示される。

【0021】図4において、LSI1の低電位側電源端子4には、グラウンドレベルGND=0Vを基準とする-0.35Vが印加され、当該LSI1の高電位側電源端子3には、グラウンドレベルGND=0Vを基準とする4.65Vが印加される。そのような電圧印加により、当該LSI1の電源端子3、4間の電位差は、5Vとなるから、当該LSI1の定格値に等しくなる。そしてそのような電圧印加により、LSI1の論理スレッシュホールド電圧V<sub>th</sub>は、図1に示される場合に比べ0.35Vだけ負側にシフトされて2.15Vとなる。また、LSI2の低電位側電源端子6には、グラウンドレベルGND=0Vを基準とする0.5Vが印加され、当該LSI2

5

の高電位側電源端子5には、グラントレベルGND=0Vを基準とする3.8Vが印加される。そのような電圧印加により、当該LSI2の電源端子5、6間の電位差は、5Vとなるから、当該LSI2の定格値に等しくなる。そしてそのような電圧印加により、LSI2の論理スレッシュホールド電圧V<sub>th</sub>は、図3に示される場合に比べ0.5Vだけ正側にシフトされて2.15Vとなり、LSI1の論理スレッシュホールド電圧V<sub>th</sub>と等しくなる。従って、図4に示されるような電圧印加によっても、図1、図3に示される場合と同様に、LSI1、2

【0022】図5にはそれぞれ電源端子間電圧の異なる3個のLSI間で論理スレッシュホールド電圧V<sub>th</sub>の整合を図る場合の実施例が示される。

【0023】図5において、LSI21、22、23は一つのLSI実装基板に搭載され、るそれらの電源端子間電圧の定格値は、それぞれ5V、3V、4Vとされる。また、LSI21、22、23の信号入出力端子は、信号線27によって結合され、それらLSI21、22、23間で相互に信号のやりとりが可能とされる。LSI21の低電位側電源端子24には、グラントレベルGND=0Vとされ、当該LSI1の高電位側電源端子23には、そのグラントレベルGND=0Vを基準とする5V電圧が印加される。この場合の論理スレッシュホールド電圧V<sub>th</sub>は、図1に示されるLSI1と同様に2.5Vとされる。また、LSI22の低電位側電源端子26には、グラントレベルGND=0Vを基準とする1V電圧が印加され、当該LSI22の高電位側電源端子25には、グラントレベルGND=0Vを基準とする3.8V電圧が印加される。そのような電圧印加により、当該LSI22の電源端子25、26間の電位差は、3Vとなるから、当該LSI22の定格値に等しくなる。そしてそのような電圧印加により、LSI22の論理スレッシュホールド電圧V<sub>th</sub>は、2.5Vとされ、LSI21の論理スレッシュホールド電圧V<sub>th</sub>と等しくされる。さらに、LSI27の低電位側電源端子11には、グラントレベルGND=0Vを基準とする0.5V電圧が印加され、当該LSI27の高電位側電源端子10には、グラントレベルGND=0Vを基準とする4.5V電圧が印加される。そのような電圧印加により、当該LSI27の電源端子10、11間の電位差は4Vとなるから、当該LSI27の定格値に等しくなる。そしてそのような電圧印加により、LSI27の論理スレッシュホールド電圧V<sub>th</sub>は、2.5Vとされ、LSI21、22の論理スレッシュホールド電圧V<sub>th</sub>と等しくされる。このような電圧印加によってLSI21、22、23の論理スレッシュホールド電圧V<sub>th</sub>が整合されるので、それらLSI間で良好な信号伝達が可能とされる。

【0024】図7には上記のように互いに異なる複数系統の電源電圧を生成する電源部が示される。

(4)

特開平4-276918

6

【0025】図7に示される電源部は、特に制限されないが、商用交流電源51から数V乃至数十Vの直流電圧を生成する直流電源回路52と、この直流電源回路52の出力を取り込んで、互いにレベルの異なる複数系統の直流電圧V<sub>cc1</sub>、V<sub>cc2</sub>、...、V<sub>ccN</sub> (Nは正の整数)を生成する電圧変換回路53を含む。上記直流電源回路52は、交流電圧51を変圧する変圧器や、その変圧出力を整流するための整流器、その整流出力を平滑するためのフィルタ回路を含む。また上記電圧変換回路53は、複数の定電圧回路54-1、54-2、...を含む。この複数の定電圧回路54-1、54-2、...は基本的に同一構成のものを適用できる。

【0026】図8には上記定電圧回路54-1の構成例が示される。

【0027】図8に示される定電圧回路はリニア又はドロップ方式と称されるシリーズレギュレータであり、上記LSIに、その電源として供給される電圧よりも高い電圧が上記直流電源回路52から与えられることによって所望レベルの出力電圧を得ることができる。63は出力電圧検出制御回路であり、この出力電圧検出制御回路63は、出力電圧V<sub>cc</sub>の検出結果に基づいてNPN形バイポーラトランジスタ62の消費電力を変化させる機能を有する。例えば出力電圧が所定値よりも高い場合には上記トランジスタ62での消費電力を増加させるように、またそれとは逆に所定値よりも低い場合には上記トランジスタ62での消費電力を減少させるように作用する。それにより出力電圧V<sub>cc1</sub>が所望の値に安定化される。出力電圧V<sub>cc</sub>は、出力電圧検出制御回路62内において出力電圧V<sub>cc</sub>を検出するための分圧抵抗の分圧比を調整することで可能とされる。従って、各定電圧回路54-1、54-2、...の出力電圧は、当該定電圧回路内の出力電圧検出制御回路63に含まれる分圧抵抗の分圧比を調整することにより、例えば図5に示される実施例が必要とされる、0.5V、1V、4V、5Vの直流電圧を生成することができる。尚、図8において、入力部と出力部とに結合されたPNP形バイポーラトランジスタ61や、そのベース電極とエミッタ電極とに結合された抵抗は、重負荷時に出力電流を上記トランジスタ61と62とで分担することによって出力電圧V<sub>cc1</sub>を安定化するように作用する。

【0028】上記のような電源部において、直流電源回路52はLSI実装基板の外部に配置され、電圧変換回路53はLSI実装基板に搭載される。その場合において、当該電圧変換回路53が搭載されるLSI実装基板には、電圧レベルの異なる電源電圧を所定のLSI電源端子に伝達するために、複数の電源伝達ラインが形成される。

【0029】上記実施例によれば以下の作用効果を得ることができる。

【0030】(1) 図1において、LSI1の電源端子

7

3, 4には、複数のLSIにおいて共通の基準レベルとされるグラウンドレベルGND=0Vを基準とする5V電圧が印可され、また、LSI2においては、その低電位側電源端子6に、グラウンドレベルを基準とする0.85Vが印可され、そして高電位側電源端子5には4.15Vが印可されることによって電源端子5, 6間の電圧が当該LSI2の定格値とされる。そのような電源電圧印加により、LSI2の論理スレッシュホールド電圧 $V_{th}$ は、グラウンドレベルを基準として2.5Vとされ、LSI1の論理スレッシュホールド電圧2.5(=5/2)Vと一致される。このように複数のLSI共通の基準レベルとされるグラウンド=0VとLSI電源端子との電位差を調整することにより、当該複数のLSI間の論理スレッシュホールド電圧 $V_{th}$ を整合させることができ、そのような論理スレッシュホールド電圧整合においては、LSI1とLSI2との間にレベルシフトなどの介在を不要とすることができる。

【0031】(2)上記(1)の作用効果により、LSI実装基板においてレベルシフトを形成するための領域を不要とし、また、LSI間で双方向信号を取り扱うことができる。さらに、レベルシフトが介在されないの、複数のLSI間で、特にその間の信号伝達経路において信号遅延が問題とされることはない。

【0032】(3)電圧変換回路53をLSI実装基板に搭載した場合には、電圧レベルの異なる電源電圧を所定のLSI電源端子に伝達するための複数の電源伝達ラインを、当該LSI実装基板の外部にまで引き出す必要がないので、当該電圧変換回路53をLSI実装基板の外部に配置する場合に比して、当該LSI実装基板から外部への引き出し線の減少を図ることができる。

【0033】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0034】例えば上記実施例では、電源端子間電圧の定格値が互いに異なる複数のLSIが一つのLSI実装基板に搭載された場合について説明したが、電源端子間電圧の定格値が等しいLSI毎にそれを搭載して成る複数のLSI実装基板間においても、上記実施例の場合と同様に、LSIの論理スレッシュホールド電圧 $V_{th}$ を整合させることができる。図6にはその場合の実施例が示される。

【0035】図6において、LSI実装基板31には、電源端子間電圧の定格値が5Vとされる複数のLSI33, 34が搭載され、LSI実装基板32には、電源端子間電圧の定格値が3.3Vとされる複数のLSI37, 38が搭載される。その場合に、LSI実装基板31の高電位側電源端子35には5Vが印加され、当該基板の低電位側電源端子36はグラウンドレベル=0Vとされる。他方、LSI実装基板32の高電位側電源端子3

(5)

特開平4-276918

8

9には4.15Vが印加され、当該基板の低電位側電源端子36には0.85Vが印加される。そのような電圧印加により、LSI実装基板32の電源端子間電圧さらには、当該基板32に搭載されるLSI37, 38の電源端子間電圧は、3.3Vとされ、当該LSI37, 38の定格値に等しくされる。そして、上記のような電圧印加により、LSI実装基板32に搭載されたLSI37, 38の論理スレッシュホールド電圧 $V_{th}$ は、図1に示される実施例の場合と同様に、2.5Vとされ、LSI実装基板31に搭載されるLSI33, 34の論理スレッシュホールド電圧 $V_{th}$ と等しくされる。従って、このように電源端子間電圧の定格値が等しいLSI毎にそれを搭載して成る複数のLSI実装基板31, 32間においても、上記実施例の場合と同様に、LSIの論理スレッシュホールド電圧 $V_{th}$ を整合させることができる。

【0036】上記実施例では、定電圧回路54-1, 54-2・・・にシリースレギュレータを適用したものについて説明したが、スイッチングレギュレータやその他の電圧安定化回路を適用することができる。

【0037】また、上記実施例では、LSIの動作電圧を当該LSIの定格値に一致させたが、実際には、ある程度の許容範囲があるので、完全に一致させなくても良い。従って、複数のLSIそれぞれの電源端子間電圧が定格レベルにほぼ等しくなる条件下で、当該複数のLSI共通の基準レベルとLSI電源端子との電位差を調整すればそれで十分とされる。

【0038】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電子回路装置に適用した場合について説明したが、本発明はそれに限定されるものではなく、動作電圧の異なる装置又はLSIを含んで構成されるシステムに適用することができる。

【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0040】すなわち、複数のLSI共通の基準レベルとLSI電源端子との電位差を調整することにより当該複数のLSIの論理スレッシュホールド電圧 $V_{th}$ を整合させることができるので、論理スレッシュホールド電圧整合のためのレベルシフトを省略することができ、またそれによって、レベルシフトを用いる場合の種々の問題点を解決できる。

【図面の簡単な説明】

【図1】図1は本発明の一実施例が示されるブロック図である。

【図2】図2は図1に示される実施例装置における主要部の波形図である。

【図3】図3は本発明の他の実施例が示されるブロック図である。

9

(6)

特開平4-276918

10

【図4】図4は本発明の他の実施例が示されるブロック図である。

【図5】図5は本発明の他の実施例が示されるブロック図である。

【図6】図6は本発明の他の実施例が示されるブロック図である。

【図7】図7は上記実施例において適用される電源部の構成ブロック図である。

【図8】図8は上記電源部における主要部の詳細な回路図である。

【符号の説明】

1 LSI

2 LSI

3 高電位側電源端子

4 低電位側電源端子

5 高電位側電源端子

6 低電位側電源端子

7 信号線

10 高電位側電源端子

11 低電位側電源端子

21 LSI

22 LSI

23 高電位側電源端子

24 低電位側電源端子

25 高電位側電源端子

26 低電位側電源端子

27 LSI

31 LSI実装基板

32 LSI実装基板

33 LSI

34 LSI

10 35 高電位側電源端子

36 低電位側電源端子

37 LSI

38 LSI

40 低電位側電源端子 51

51 商用交流電源

52 直流電源回路

53 電圧変換回路

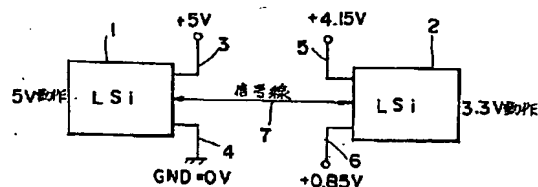
61 PNP形バイポーラトランジス

62 NPN形バイポーラトランジス

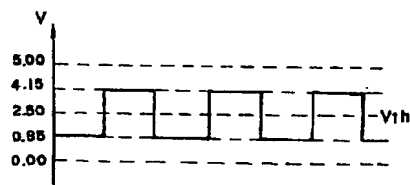
20 63 出力電圧検出制御回路

64 抵抗

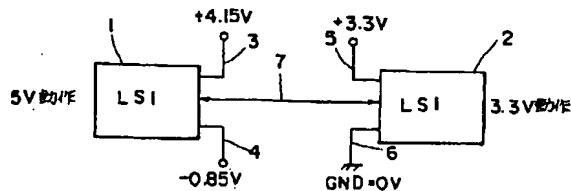
【図1】



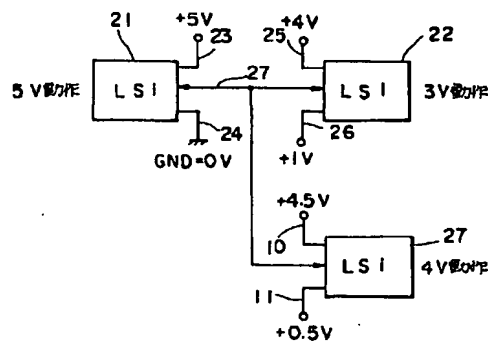
【図2】



【図3】

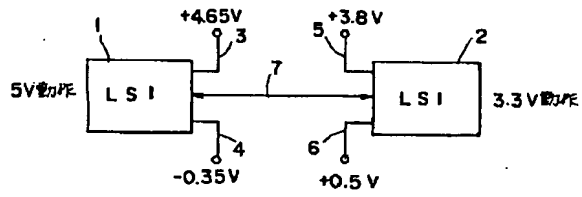


【図5】

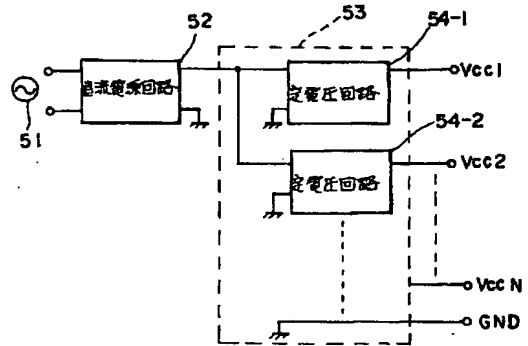




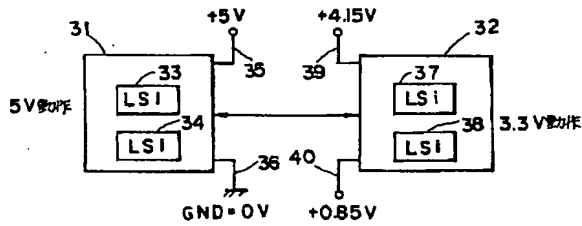
【図4】



【図7】



【図6】



【図8】

